

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 64-084668

(43)Date of publication of application : 29.03.1989

(51)Int.Cl.

H01L 29/78
G02F 1/133
H01L 27/12

(21)Application number : 62-241160

(71)Applicant : CASIO COMPUT CO LTD

(22)Date of filing : 26.09.1987

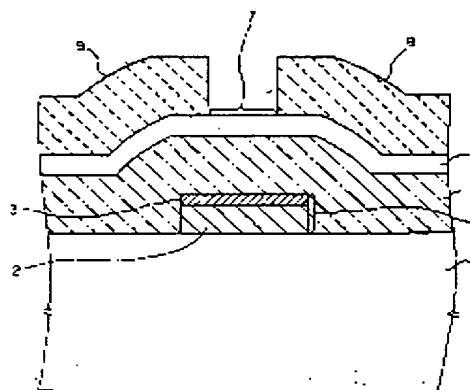
(72)Inventor : KANBARA MINORU
SHIMOMAKI SHINICHI

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To reduce a gate electrode in an electric resistivity without reducing it in a dielectric breakdown strength by a method wherein a gate electrode is made to be constituted in a two-layered structure composed of Al low in resistivity and a high melting metal which is smaller than Al in thickness and deposited on Al.

CONSTITUTION: A first metal layer of Al 2, which is about 500 \AA in thickness and formed through a sputtering or a evaporation method, is provided onto a nearly central part of an insulating substrate 1, and a second metal layer formed of a high melting metal Cr 3, which is about 500 \AA thick and formed through the same method as the first metal layer, is deposited thereon. These Al 2 and Cr 3 compose a gate electrode 4, and an insulating film 5 of a gate insulating film, which is formed of silicon nitride(SiN) and about 3000 \AA in thickness, is formed on the insulating substrate 1 covering the electrode 4.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-84668

⑬ Int. Cl.⁴

H 01 L 29/78
G 02 F 1/133
H 01 L 27/12

識別記号

3 1 1
3 2 7

庁内整理番号

G-7925-5F
7370-2H
7514-5F

⑭ 公開 昭和64年(1989)3月29日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-241160

⑰ 出 願 昭62(1987)9月26日

⑱ 発 明 者 神 原 実 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑲ 発 明 者 下 牧 伸 一 東京都八王子市石川町2951番地の5 カシオ計算機株式会
社八王子研究所内

⑳ 出 願 人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1) 絶縁性基板上に、ゲート電極と半導体膜が絶縁膜を介して対向する位置に配設された薄膜トランジスタにおいて、前記ゲート電極はアルミニウムからなる第1の金属層と、前記第1の金属層より薄く、アルミニウムより融点の高い金属からなる第2の金属層を有することを特徴とする薄膜トランジスタ。

2) 前記第2の金属層は前記絶縁膜と接していることを特徴とする特許請求の範囲第1項記載の薄膜トランジスタ。

3) 前記第2の金属層はクロムであることを特徴とする特許請求の範囲第1項または第2項記載の薄膜トランジスタ。

3. 発明の詳細な説明

(発明の技術分野)

本発明は薄膜トランジスタに係り、特に動作速

度の改良に関するものである。

(従来技術及びその問題点)

薄膜トランジスタは、絶縁膜を介してゲート電極と半導体薄膜を対向する位置に配設した構造のトランジスタであり、ゲート電極に加える電圧により半導体薄膜と絶縁膜の界面に誘起されるキャリアの数を制御してオン/オフの動作(スイッチ動作)を行うものである。このような薄膜トランジスタのスイッチング速度は、同一の半導体薄膜を用いた場合ゲート電極の抵抗 R_g とゲート容量 C_g の積である時定数 $R_g \cdot C_g$ に比例する。ここでゲート容量 C_g は、絶縁膜の比誘電率とトランジスタの形状(絶縁膜の厚さ、ゲート電極の面積等)によって決定されるものであり、絶縁膜の素材が同じでトランジスタの形状が同一である場合には、スイッチング速度はゲート電極の抵抗によって決まってくる。

従って、スイッチング速度を高速にするためには、ゲート電極に固有電気抵抗の低いアルミニウム(A1)等を用いればよいが、ゲート電極にア

(2)

ルミニウムを用いた場合、ゲート絶縁耐圧が非常に低くなりスイッチ素子として用いることはできなかった。これは、アルミニウムが熱に弱く、薄膜トランジスタの製造時に行われる熱処理によりヒロックが発生するためである。このため、従来の薄膜トランジスタでは、ゲート電極にクロム(Cr)やタンタル(Ta)等の高融点金属を使用している。ところが、ゲート電極にこれらの高融点金属を用いると、ゲート絶縁耐圧が大きくなりスイッチ素子として使用できるものの固有電気抵抗が大きいために、スイッチ速度が遅くなるという欠点があった。

また、薄膜トランジスタは半導体面積を大きくすることが容易であるため現在主にアクティブマトリクスパネルのスイッチ素子として用いられており、このアクティブマトリクスパネルは、走査電極と信号電極のマトリクスの交点部に形成された画素毎にスイッチ素子を設け、このスイッチ素子をオン/オフすることにより画素信号に基づいて画素の表示/非表示を制御している。走査電極

は、一般にゲートラインと呼ばれ、信号電極はドレインラインと呼ばれている。前記ゲートラインには、スイッチ素子のゲート電極が接続されており、1本のゲートラインに接続されるゲート電極の数は水平走査線方向の画素の数に等しい。ゲートライン及びゲート電極には同一の金属が用いられるため、ゲートラインの抵抗はゲート電極に用いる金属のシート抵抗により大きく変化する。このため、ゲート信号の伝播遅延時間を短くするためにはゲート電極にシート抵抗の少ない金属を用いる必要がある。またゲート電極及びゲートラインを微細化することにより開口率を上げ画面のコントラストを向上させることができるが、微細化に伴い配線抵抗が増大するため従来のようにゲート電極にクロムやタンタルのようなシート抵抗の大きな金属を用いている場合、微細化も制限されていた。

(発明の目的)

本発明は上記従来の問題点に鑑みなされたものでゲート電極の固有電気抵抗が小さい高速スイ

- 3 -

チング可能な薄膜トランジスタを提供することを目的とする。

(発明の要点)

本発明は上記目的を達成するために、ゲート電極を固有電気抵抗の低いアルミニウムからなる第1の金属層と、アルミニウムよりも高融点の前記第1の金属層よりも薄い第2の金属層からなる2層構造としたことを特徴とする。

(実施例)

以下図面を参照しながら本発明の実施例について説明する。

第1図は、本発明の一実施例である逆スタガー形の薄膜トランジスタの略断面図である。

同図において、ガラス、石英またはサファイア等の絶縁性基板1の略中央部にはスパッタ法または蒸着法により形成された約1500Åの厚さのアルミニウム(Al)から成る第1の金属層と、その第1の金属層の上に同じくスパッタ法または蒸着法等により形成された約500Åの厚さのクロム(Cr)から成る第2の金属層が形成されている。

- 5 -

- 4 -

このアルミニウム2とこのアルミニウム2の上に積層されたクロム3は、ゲート電極4を形成しており、そのゲート電極4を被覆して窒化シリコン(SiN)からなるゲート絶縁膜である絶縁膜5が約3000Åの厚さに絶縁性基板1上に形成されている。この絶縁膜5は例えば、プラズマCVD法により形成する。さらに、絶縁膜5の上にはアモルファスシリコンからなる半導体薄膜6が所定の厚さに形成されており、そしてその半導体薄膜6の上のチャネル形成領域7を除く部分にスパッタ法または蒸着法によりアルミニウム(Al)モルブテン(Mo)等からなるソース電極7及びドレイン電極8が形成されている。

上記のように、厚さ1500Åのアルミニウム2の上に厚さ500Åのクロム3を積層させてゲート電極4を形成した結果、ゲート電極4のシート抵抗は約0.3Ω/□となった。従来用いられていた厚さ2000Åのクロム単体のゲート電極のシート抵抗は3Ω/□であったから、シート抵抗の値は1桁も向上した。このようにゲート電極の大部分を固

- 6 -

有電気抵抗の小さいアルミニウムにより形成したため、ゲート電極のシート抵抗を著しく低下させることが可能となり、スイッチング速度が著しく向上した(約1桁)。また、アルミニウムは比較的低融点の金属であり、自己拡散係数が高いことから、熱処理を行うとヒロックなどの変形を生じやすく、ゲート電極としてアルミニウム単体を用いた場合ゲート絶縁耐圧が低下してしまう問題があったが、アルミニウム2の上に高融点金属であるクロム3を積層したため、後の製造工程で熱処理を行っても剛性の高いクロム3にアルミニウム2が被覆されているためアルミニウム2にヒロックなどの変形がほとんど生じなくなった。また、クロム3は高融点金属であり、再結晶温度が高く、自己拡散の活性化エネルギーも大きいため熱処理によりヒロックなどの変形はほとんど生じない。このため、十分に実用的なゲート絶縁耐圧を得ることができた。

第2図(4)、(5)、(6)は、それぞれゲート電極がアルミニウムとクロムの2層(本実施例)クロム単

(3)

層、アルミニウム単層から成る逆スタガー形薄膜トランジスタを実際に製造し、その製造した逆スタガー形薄膜トランジスタのゲート絶縁耐圧の出現頻度を調査した結果を示す図である。

同図(4)~(6)において、横軸はゲート絶縁耐圧(単位はV)、縦軸は、それぞれの絶縁耐圧の出現頻度(単位は%)である。

ゲート電極にアルミニウム単層を用いた場合には、第2図(4)に示すように、ゲート絶縁耐圧はほぼ20Vしか得られない。次にゲート電極にクロム単層を用いた場合には第2図(5)に示すようにだいたい200V~220Vと高いゲート絶縁耐圧が得られる。次に、本実施例であるアルミニウムとクロムの2層から成るゲート電極を用いた場合には第2図(6)に示すようにゲート絶縁耐圧は180~200Vと、クロム単層を用いた場合とほぼ同様の絶縁耐圧が得られる。

また、アルミニウムはレジストとの選択比が高く、リアクティブイオンエッチング(RIE)法などにより垂直加工が可能であるためゲート電極

- 7 -

の微細化の上でも有利である。

このように、薄膜トランジスタのゲート電極のシート抵抗を小さくすることかできたので、アクティブマトリクスパネルのスイッチ素子に本発明の薄膜トランジスタを用いれば、ゲートラインの配線抵抗を大幅に小さくすることができ、ゲート信号(走査信号)遅延時間を大幅に短縮することが可能となる。

また、ゲートラインのシート抵抗を小さくできるので、ゲートラインの微細化が可能となり開口率を更に大きくすることができるので、画面のコントラストが著しく向上する。

なお、第2の金属層に用いる高融点金属は固有電気抵抗の比較的小さな金属がシート抵抗を小さくする上で望ましいが、本実施例のクロムに限定されることなく例えばモリブデン(Mo)等を用いてもよい。さらに薄膜トランジスタの構造も本実施例の逆スタガー形に限定されることなく例えば逆コプラナ形であっても良い。

又、半導体薄膜も本実施例のアモルファスシリ

- 8 -

コン(a-Si)に限定されることなくポリシリコン(P-Si)テルル(Te)、CdS、CdSe等を用いてもよい。

(発明の効果)

以上詳細に説明したように本発明によれば、ゲート電極を固有電気抵抗の低いアルミニウムとそのアルミニウムの上に積層されたアルミニウムよりも薄い高融点金属から成る2層構造としたため、ゲート絶縁耐圧を低下させることなくゲート電極の固有電気抵抗を大幅に小さくすることができた。このため、高速のスイッチング動作が可能になる。また、本発明を例えば液晶ディスプレイ等のアクティブマトリクスパネルのスイッチ素子に用いた場合には、ゲート電極及びゲートラインの配線抵抗が従来よりも大幅に小さくなるのでゲート信号の伝搬遅延時間が著しく短縮される。また、ゲートラインの配線抵抗を従来よりも増加することなくゲート電極及びゲートラインの微細化が可能となり、その結果開口率を大きくできるので、画面のコントラストが向上する。さらに1ゲートライ

- 9 -

- 10 -

(4)

ンに接続するスイッチ素子の数を増加して画素数を増加することも可能となり、解像度を向上させることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例の断面図、

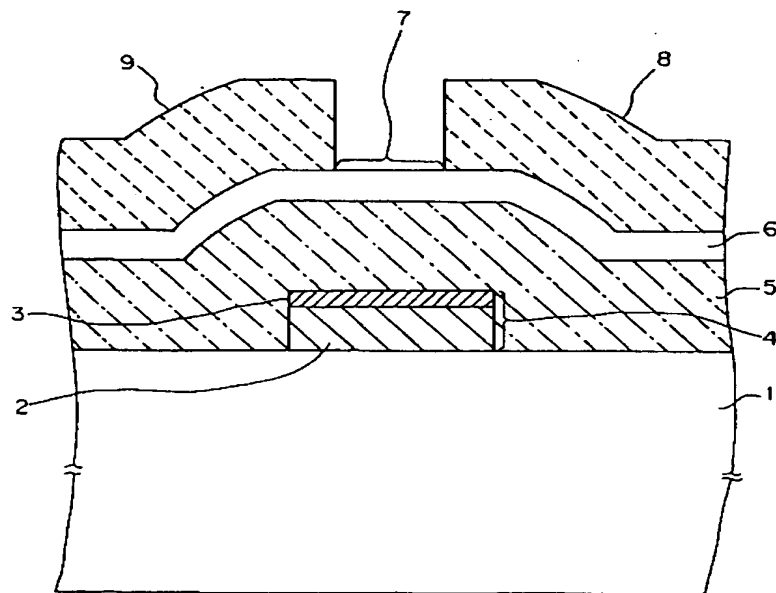
第2図(a)~(d)は、それぞれゲート電極がアルミニウムとクロムの2層、クロムの単層、アルミニウムの単層である薄膜トランジスタのゲート絶縁耐圧を示す図である。

2・・・第1の金属層、

3・・・第2の金属層、

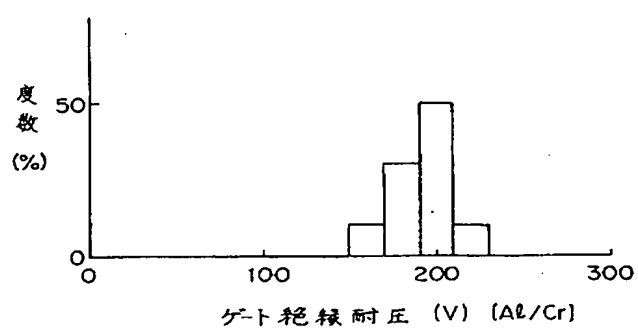
特許出願人 カシオ計算機株式会社

-11-

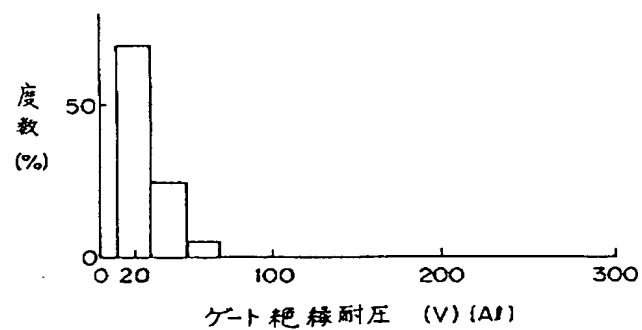


第1図

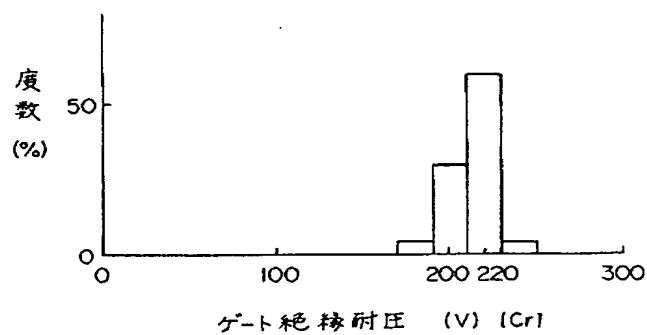
(5)



(a)



(c)



(b)

第 2 図